

	HW #7	MIPS Architecture (Pipeline)
Computer Architecture Fall 2003	Due Date	1382/10/6

پردازنده‌ی MIPS را به صورت پایپ لاین با زبان توصیف سخت‌افزاری Verilog مدل کنید. توجه کنید که مشکلات Data Hazard و Control Hazard را برطرف کنید.