

	HW #5	MIPS Architecture (Single Cycle)
Computer Architecture Fall 2003	Due Date	1382/8/24 (1) 1382/9/1 (2)

۱- مسیر داده و واحد کنترل پردازنده‌ی تک مرحله‌ای MIPS را به گونه‌ای تغییر دهید که توانایی اجرای دستورات jr و jal را داشته باشد.

۲- الف - واحدهای Inst. Memory, Data Memory, PC, Register File, ALU, Adder را با زبان توصیف سخت‌افزاری Verilog توصیف کنید.

ب - با اتصال واحدهای طراحی شده در بخش (الف) مسیرهاده‌ی پردازنده‌ی MIPS را پیاده‌سازی کنید.

ج - واحد کنترل پردازنده‌ی MIPS را با زبان توصیف سخت‌افزاری Verilog توصیف کنید.

د - با اتصال مسیرهاده و واحد کنترل پردازنده به یکدیگر، پردازنده‌ی MIPS را کامل کنید.