

	HW #1	Verilog HDL
Computer Architecture Fall 2003	Due Date	1382/7/26

۱- ریز عملیات های ریاضی یک پردازنده به صورت زیر میباشد:

Control No.	Operation
1	$R3 \leftarrow R1 + R2$
2	$R3 \leftarrow R1 - R2$
3	$R2 \leftarrow \sim R2$
4	$R2 \leftarrow \sim R2 + 1$
5	$R3 \leftarrow R1 + \sim R2 + 1$
6	$R1 \leftarrow R1 + 1$
7	$R1 \leftarrow R1 - 1$

با فرض اینکه ثباتهای R1 و R2 هر یک ۸ بیتی باشند، با استفاده از گیت پایه ای NAND یک FA و یک MUX طراحی کنید و به کمک آنها مداری طراحی کنید که عملیتهای گفته شده را با اعمال ورودیهای کنترلی مناسب پیاده سازی کند. با فرض اینکه تاخیر گیت NAND با n ورودی برابر 2n نانو ثانیه باشد، تاخیر مدار نهایی را محاسبه کنید.

۲- اتاق انتظار یک اداره ظرفیت ۱۵ نفر را دارد و دارای یک در ورودی و یک در خروجی است. در کنار هر یک از این درها، یک سنسور نصب شده است که با عبور فرد، سیگنالی به مدت یک clock تولید می نماید (برای ورودی سیگنال IN و برای خروج سیگنال OUT). فردی که قصد ورود به اتاق را دارد، برای باز شدن در ورودی باید دکمه Ent را فشار دهد. در این صورت، این در به شرطی باز می شود که در زمان فشردن دکمه

- تعداد حاضرین در اتاق کمتر از ۱۵ نفر باشد
  - ساعت مجاز ورود به اتاق سپری نشده باشد (فرض کنید که یک ساعت در اختیار داریم که خروجی آن T در زمان مجاز ۱ بوده و هرگاه زمان مجاز سپری شده باشد، برابر ۰ باشد)
- برای باز بودن این در، باید سیگنال Open را به مدت لازم (تا عبور فرد از در) ۱ نگه دارد. در خروجی همواره باز است، مگر وقتی که تعداد حاضرین در اتاق به ۰ برسد، در این صورت باید سیگنال خروجی Close برابر ۱ شود تا این در بسته شود. در طرح مدار می توانید از یک Up/Down Counter با مشخصات زیر استفاده کنید. نمودار بلوکی شمارنده را در طرح خود بگنجانید و ارتباط ورودی ها و خروجی های آن را با سایر قسمت های مدار مشخص کنید. دقت کنید که در یک Clock ممکن است فردی از در ورودی وارد شده و همزمان فردی از در خروجی خارج شود. فرض کنید حرکت در خلاف جهت تعیین شدهی درها امکان پذیر نباشد.

U	CP	Clr	Enable	Function
X	X	0	X	Reset counter to 0
X	X	1	0	Hold previous number
1	↑	1	1	Up count
0	↑	1	1	Down count